**20.2 DMTimer 1ms**

**20.2.1 Введение**

Эта периферия представляет собой 32-битный таймер, предлагающий:

• Таймер счетчика с режимами сравнения и захвата

• Режим автоматической перезагрузки

• Режим старт-стоп

• Генерировать 1 мс тик с частотой 32768-Hz фукционального тактирования.

• Программируемый источник тактового сигнала делителя

• 16-32-битная адресация

• Регистры чтения/записи на лету

• Прерывания, генерируемые при переполнении, сравнении и захвате

• Включение прерывания

• Включение пробуждения

• Запись в режиме публикации

• Выделенный входной триггер для режима захвата и выделенный выходной триггер/сигнал ШИМ

• Выделенный выходной сигнал общего назначения PORGPOCFG

• Интерфейс OCP совместим

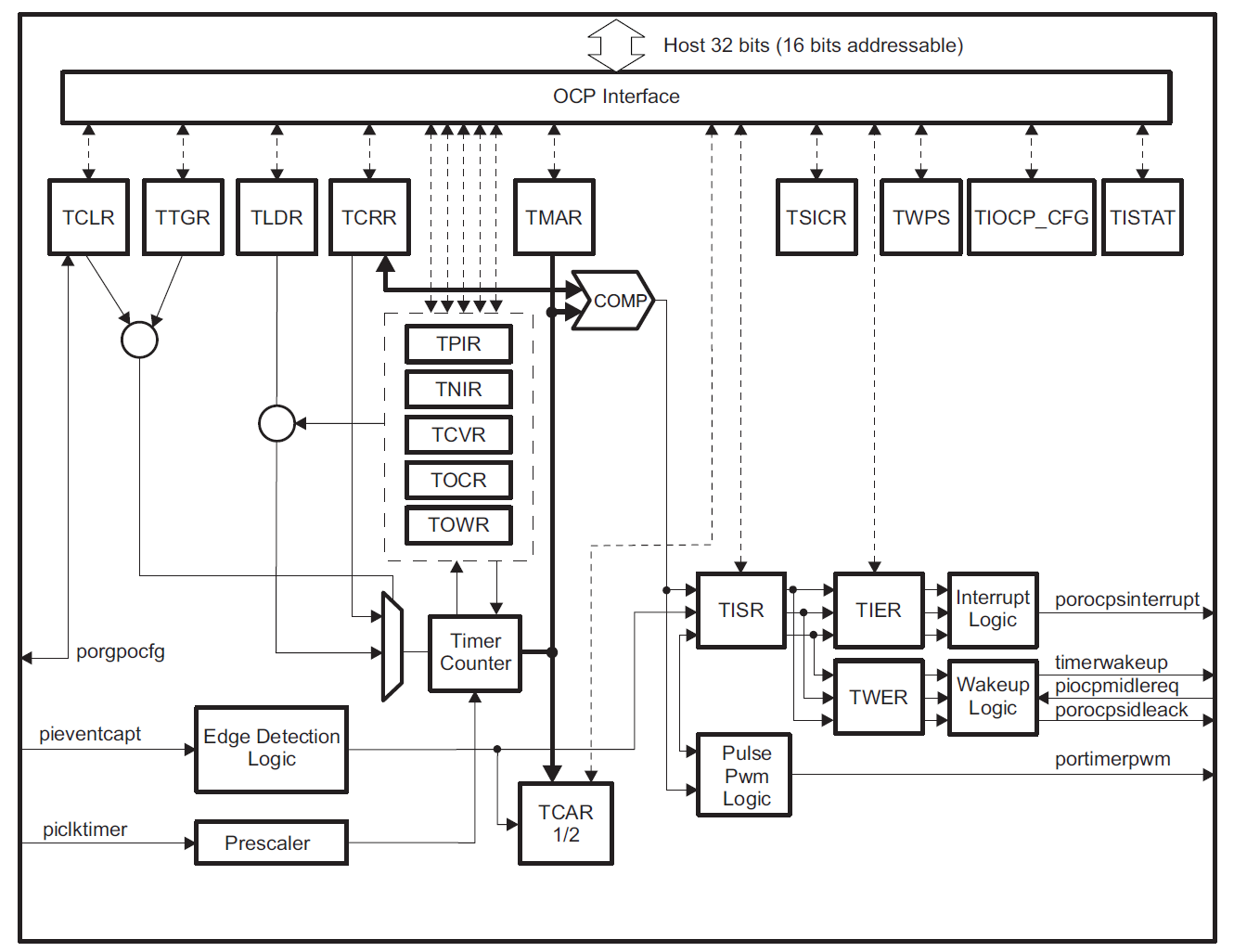
Модуль таймера содержит свободно работающий восходящий счетчик с возможностью автоматической перезагрузки при переполнении. Счетчик таймера может считываться и записываться «на лету» (при подсчете). Модуль таймера включает логику сравнения чтобы разрешить событие прерывания для значения, соответствующего программируемому счетчику.

Выделенный выходной сигнал может быть пульсирован или переключен на событие переполнения и совпадения. Этот вывод предлагает время сигнал триггера метки или источники сигнала ШИМ (широтно-импульсной модуляции). Выделенный выходной сигнал может быть использован для общего назначения PORGPOCFG (непосредственно управляется битом 14 регистра TCLR). Специальный входной сигнал используется для запуска автоматического захвата счетчика таймера и события прерывания на программируемом входе переходного сигнала. Программируемый делитель тактового сигнала (прескалер) позволяет уменьшить входной тактовый сигнал таймера. Все внутренние источники прерываний таймера объединены в одну линию прерываний модуля и одну линию пробуждения . Каждый внутренний источник прерывания может быть независимо включен/отключен с выделенным битом TIER в регистре функции прерывания и выделенным битом TWER для пробуждения.

Управление этим модулем осуществляется через периферийную шину OCP.

Поскольку два тактовых домена управляются внутри этого модуля, ресинхронизация осуществляется специальной логикой между доменом синхросигналов OCP и доменом синхросигналов таймера. При сбросе логика синхронизации позволяет использовать все отношения между тактированием OCP и таймером. Недостатком этого режима является то, что путь полной ресинхронизации используется с влиянием на задержку доступа с точки зрения тактовых циклов OCP. В целях улучшения модуля задержки доступа и в ограниченных условиях по соотношению тактового сигнала (ср. 7.1 Запись размещена), режим размещения записи может использоваться путем установки бита POSTED регистра системного управления (TSICR). В этом режиме запишите posted для включения режима, что означает, что команда записи OCP предоставляется до завершения процесса записи в домен таймера. Этот режим позволяет программному обеспечению (SW) выполнять параллельную запись в регистры таймера двойного режима и наблюдать за завершением (синхронизацией) процесса записи на уровне ПО, читая независимую запись опубликованныч битов состояния в регистре Write Posted Status Register (TWPS).

**Рис. 20-26. Блок-схема**



**20.2.2 Интеграция**

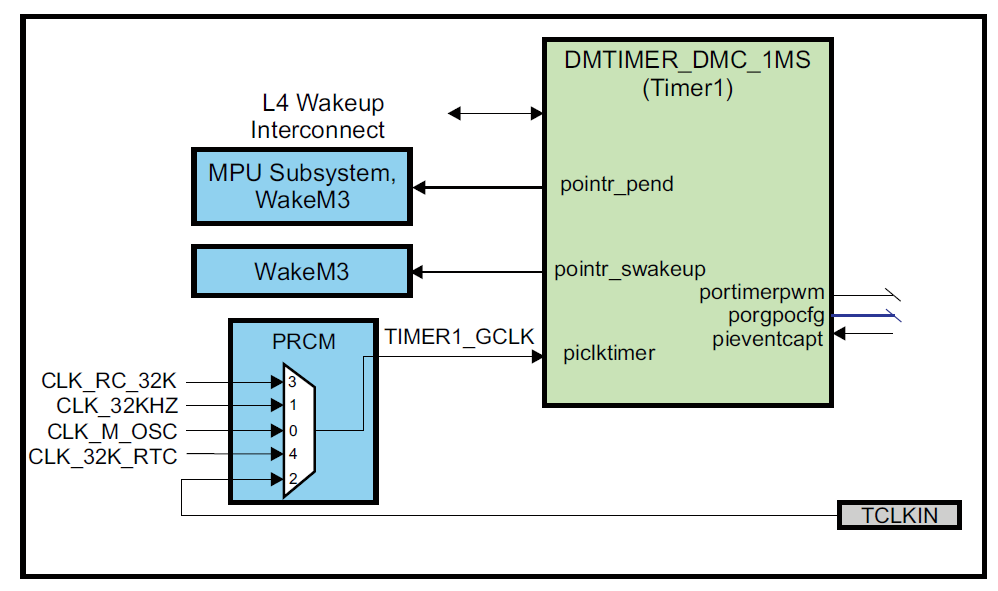
****

Рис. 20-27. Интеграция DMTimer 1 мс

**20.2.2.1 Атрибуты подключения таймера**

Таблица 20-28. Timer1 атрибуты связности

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power Domain | Wakeup Domain |
| Clock Domain | PD\_WKUP\_L4\_WKUP\_GCLK (OCP)  PD\_WKUP\_TIMER1\_GCLK (Func) |
| Reset Signals | WKUP\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle / Slave Wakeup |
| Interrupt Requests | 1 to MPU Subsystem (TINT1\_1MS) and WakeM3 |
| DMA Requests | None |
| Physical Address | L4 Wakeup slave port |

**20.2.2.2 Управление таймером и сбросом**

Функциональное тактирование таймера DMTimer1 1 мс может быть выбрано из одного из пяти источников с помощью СLKSEL\_TIMER1MS\_CLK зарегистрированных в PRCM:

• Системный синхросигнал (CLK\_M\_OSC)

• Плата PER PLL генерирует тактовый сигнал 32,768 кГц (CLK\_32KHZ)

• Входной синхросигнал внешнего таймера TCLKIN

• Встроенный генератор ~ 32,768 кГц (CLK\_RC32K)

• Внешний генератор/тактовый генератор 32,768 кГц (CLK\_32K\_RTC)

**20.2.2.3 Синхросигналы таймера**

Таблица 20-29. Синхросигналы таймера

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Max Freq** | **Reference / Source** | **Comments** |
| **Timer1 (1ms) Clock Signals** |  |  |  |
| PICLKOCP  Interface clock | 100 MHz | CORE\_CLKOUTM4 / 2 | pd\_wkup\_l4\_wkup\_gclk  from PRCM |
| PICLKTIMER  Functional clock | 26 MHz(1) | CLK\_M\_OSC  CLK\_32KHZ  (PER\_CLKOUTM2 / 5859.375)  TCLKIN  CLK\_RC32K  CLK\_32K\_RTC | pd\_wkup\_timer1\_gclk  from PRCM |

*(1) PICLKTIMER должен быть меньше или равен PICLKOCP/4.*

**20.2.3 Функциональное описание**

Таймер общего назначения представляет собой восходящий счетчик. Он поддерживает три функциональных режима:

• Режим таймера

• Режим захвата

• Режим сравнения

По умолчанию после сброса ядра режимы захвата и сравнения отключены.

**20.2.3.1 Функции режима таймера**

Таймер представляет собой восходящий счетчик, который может быть запущен и остановлен в любое время через управление таймером в регистре (бит TCLR ST). Регистр счетчика таймера (TCRR) может быть загружен при остановке или на лету (при подсчете). TCRR может быть загружен непосредственно с помощью доступа записи TCRR с новым значением таймера. TCRR также может быть загружено значением, сохраненным в регистре загрузки таймера (TLDR) триггерным регистром (TTGR) доступа на запись. Загрузка TCRR выполняется независимо от значения, записанного в регистр TTGR. Таймер значение регистра счетчика TCRR может считываться, когда оно остановлено или захвачено «на лету» доступом чтения TCRR.

Таймер останавливается, и значение счетчика устанавливается в «0» при подтверждении сброса модуля. Таймер удерживается в состоянии остановки после сброса. Когда таймер остановлен, TCRR замораживается. Таймер может быть перезапущен из замороженного значения, если TCRR не был перезагружен с новым значением.

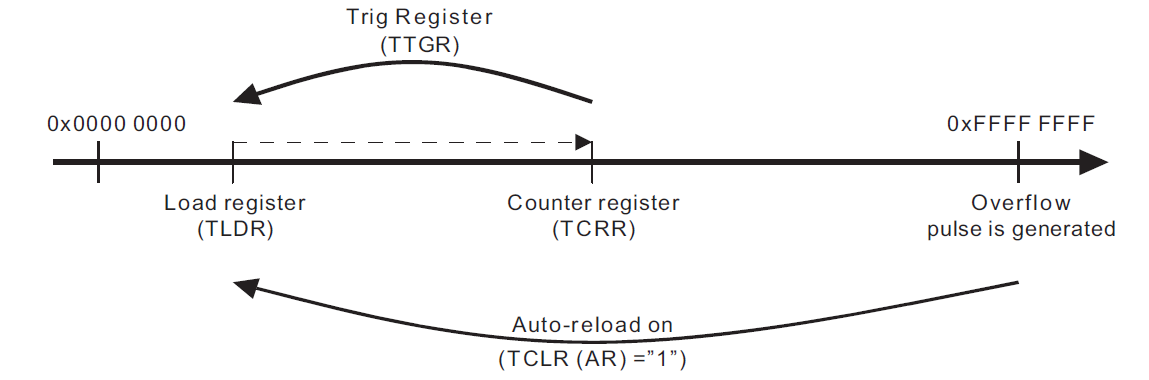
В режиме one shot (TCLR AR bit = «0») счетчик останавливается после подсчета переполнения (значение счетчика остается на нуле).

Если включен режим автоматической перезагрузки (бит TCLR AR = «1»), TCRR перезагружается со значением TLDR после переполнения счетчика.

Не рекомендуется помещать значение переполнения (0xFFFFFFFF) в TLDR, поскольку это может привести к нежелательному результату.

Прерывание может выдаваться при переполнении, если бит разрешения прерывания переполнения установлен в регистре таймера разрешения прерывания (TIER OVF\_IT\_ENA bit = «1»). Выход вывода (PORTIMERPWM) программируется через TCLR (биты TRG и PT) для генерации одного положительного импульса (длительность предварительного масштабирования) или для инвертирования текущего значения (режим переключения) при переполнении.

**Рис. 20-28. Значение синхронизации TCRR**



**20.2.3.1.1 Генерация тиков 1 мс**

Чтобы минимизировать ошибку между истинным тиком 1 мс и тиком, сгенерированным таймером 32768 Гц, необходимо переключать последовательность периодов длительностью менее 1 мс и периодов длительностью свыше 1 мс.

Для исправления этой ошибки используется дополнительный блок (блок 1 мс).

В этой реализации инкрементное упорядочение автоматически управляется таймером для минимизации ошибкт. Значение регистра положительного приращения таймера (TPIR) и регистра отрицательного приращения таймера

(TNIR) должно быть определен только пользователем. Механизм автоматической адаптации используется для упрощения модели программирования.

**Рис. 20-29. Блок-схема модуля 1 мс**

